



PROFIL

Étudiant en dernière année (Diplôme d'ingénieur) à CPE Lyon, spécialité Microélectronique, Physique et Systèmes Microélectroniques (PSM). Expérience pratique en conception et vérification de circuits intégrés numériques et analogiques. Diplomation prévue en septembre 2026, ouverture à la mobilité. Intérêts: conception numérique, vérification matérielle, développement de circuits mixtes , computation neuromorphique.

EXPÉRIENCE

CNRS Lyon, France
Ingenieur en alternance — conception/vérification ASIC mixte sept. 2023 – présent (2 ans)

- Conception et vérification d'un front-end de détecteur de particules triaxial intégrant logique numérique et blocs analogiques.
- Développement d'une boucle à verrouillage de phase (PLL) de l'architecture au tape-out: PFD, pompe de charge, VCO, diviseur, contrôle numérique; modèles comportementaux et intégration système.
- Vérification post-layout avec parasitiques extraits, analyses de gigue (jitter) et de temps d'accrochage (lock-time), ajustements orientés layout.

Institut de microélectronique de Séville Séville, Espagne
Stagiaire vérification circuits mixtes juil. 2025 – sept. 2025 (3 mois)

- Vérification et simulation de modulateurs sigma-delta pour ADC dans un flux de conception assisté par IA.
- Pipeline d'automatisation avec Cadence OCEAN et Python, plus de 200 campagnes avec balayages de paramètres, enregistrements et contrôles scriptés.
- Interface graphique Python pour configurer les paramètres et orchestrer les runs Cadence Spectre/OCEAN, génération efficace de jeux de données pour l'apprentissage automatique.

PROJETS SÉLECTIONNÉS

Projets RTL et SoC — CPE Lyon 2024 – 2025 (1 an)

- Intégration de cœurs open source (RISC-V et NEO430) avec périphériques embarqués (UART, GPIO, SPI, PWM); bancs de test VHDL complets pour la vérification fonctionnelle.
- Conception de petits blocs DSP et d'un Rx/Tx UART avec machines à états (FSM) et générateur de débit binaire.

Intégration X-HEEP + Vicuna, prototype FPGA 2025 en cours

- Étude de l'architecture X-HEEP, banques mémoire, interfaces bus, interruptions CLINT/PLIC.
- Revue de l'interface coprocesseur Vicuna et des instructions RISC-V V supportées.
- Définition du chemin d'intégration via les ports master/slave exposés par X-HEEP et l'interface core-v-x sur cv32e40x.
- Mise en place d'un banc de simulation avec tests fumée pour opérations vectorielles (add, multiply, AXPY).

FORMATION

CPE Lyon (Grande école d'ingénieurs) Lyon, France
• Diplôme d'ingénieur, spécialité Microélectronique, prévu sept. 2026
• Bachelor en microélectronique et physique des semi-conducteurs obtenu 2024

COMPÉTENCES

- **Conception numérique:** RTL, micro-architecture, Verilog, VHDL, SystemVerilog, FSM, intégration SoC, UVM (en cours de formation)
- **Outils EDA:** Cadence Virtuoso, Spectre/Spectre-X, OCEAN, Cadence Maestro, Xilinx Vivado, Git, Linux
- **Analogique/Mixte:** conception et vérification mixte, layout analogique et numérique, vérification post-layout
- **Programmation:** Python, C, MATLAB, Bash
- **Langues:** français (natif), anglais (courant), arabe (courant)