

Karim Sabra

Lyon, France · +33 6 68 85 09 44 · karimsabra926@gmail.com
linkedin.com/in/karim-sabra-633007235 · karimsabra.com



Scannez-moi

Profil

Étudiant en dernière année de microélectronique, diplôme prévu sept. 2026. Focalisé sur la conception numérique et la vérification pour SoC et FPGA. RTL, SystemVerilog/UVM, SVA, coverage. Automatisation en Python et OCEAN. Contexte mixte issu de travaux PLL et TDC en alternance et en stage. Postes visés: conception et vérification numérique et mixte, RISC-V, EDA assistée par IA. Mobile géographiquement. Références sur demande.

Compétences

- **Conception numérique**: RTL, micro-architecture, **SoC**, RISC-V, FSM, **Verilog**, **SystemVerilog**, Verilator, FPGA (Vivado)
- **Vérification**: UVM, SVA, couverture, **Xcelium**, cocotb, assertions, STA, Verilator
- **Analogique/Mixte**: Virtuoso, Spectre, OCEAN, PLL, TDC, ADC/DAC, vérification post-layout
- **Logiciels**: **Python**, C, Assembleur, Shell, MATLAB, Git, Linux, Zephyr
- **Langues**: Français, Anglais, Arabe

Expérience

CNRS, Institut de Physique des 2 Infinis (IP2I)

Lyon, France

Ingénieur apprenti, ASIC mixte

sept. 2023 - présent

- **Conception et vérification** mixte d'une PLL sur PICMIC-1, du comportemental au transistor
- Analyses DC, transitoire, stabilité et AC sur la PLL
- Note de migration de TSMC 130 nm vers TowerJazz 180 nm avec profil de bruit de phase cohérent; vérification post-layout avec parasitiques extraits
- Repères: temps de verrouillage 1,5 à 2 μ s; Jitter 2 ps RMS pré-layout et 7 ps RMS post-layout à 2,58 GHz

IMSE-CNM (CSIC/US)

Séville, Espagne

Stagiaire, vérification circuits mixtes

juil. 2025 - sept. 2025

- **Vérification et génération de DataSet** pour modulateurs sigma-delta CT, variantes Active-RC et Gm-C
- Automatisation **OCEAN** unifiée et interface Python pour configurer 200+ exécutions Spectre paramétrées avec critères de réussite/échec, pour régressions et datasets ML
- Indicateurs: SNR, SNDR, ENOB, bande passante; exports CSV et gabarits de tracés pour comparaison rapide

Projets

HOLYCORE, cœur RV32I monocycle

Projet personnel, 2025

- **RTL** d'un cœur RISC-V RV32I de scratch, datapath et contrôle propres, ALU, mémoire byte-enable, opcodes typés et enums ALU
- **Vérification**: tests cocotb unitaires et top, aléa sur l'ALU, scoreboarding, smoke test ISA sous Verilator, objectifs de couverture pour calcul, contrôle et mémoire
- Préparation à l'intégration: mappage mémoire simple, resets et exceptions ébauchés, scripts de build

Parking intelligent hétérogène, Edge AI + FPGA + MCU

CPE Lyon, 2025

- **Chemin de contrôle FPGA**: Nexys A7 avec **VexRiscv (RV32IM)** avec Linux
- FSM Verilog pour piloter la barrière, communication Ethernet, télémétrie et compteurs de latence
- Chaîne vision sur BeagleY-AI, caméra IMX219, modèles **TIDL** sur DSP
- Focalisation **système**: interfaces claires entre inférence et actionnement RTL
- Projet en groupe, gestion de la coordination des différentes parties du projet, afin d'assurer la compatibilité entre toutes les contributions du groupe.

Formation

CPE Lyon, grande école d'ingénieurs

Lyon, France

- Diplôme d'ingénieur en microélectronique et physique des semi-conducteurs
- Bachelor en microélectronique

prévu sept. 2026

2024 (Classement 2nd sur la promotion)