



---

## PICMIC 1

**Simulation et Implémentation Physique.**

---

**SABRA Karim**

**Rapport d'Année 2 | 4PSM (2024-2025)**

**Tuteur Entreprise : Edouard BECHETOILLE (IP2I)**

**Tuteur Académique : Abdelbassat MASSOURI (CPE)**

**Formation : Physique et Systèmes Microélectroniques (PSM)**



# Remerciements

À l'approche de la fin de ma deuxième année d'alternance, je souhaite exprimer toute ma gratitude envers ceux qui m'ont accompagné dans cette étape déterminante de mon parcours. Cette année est marquée par un renforcement de mes compétences et une immersion toujours plus profonde dans le domaine de la microélectronique.

Je tiens à remercier sincèrement mon tuteur en entreprise, M. Bechetoille, pour son soutien constant et ses conseils précieux. Son accompagnement m'a permis d'aborder cette deuxième année avec confiance, tout en approfondissant ma compréhension des défis et des exigences du métier d'ingénieur.

Je suis également reconnaissant envers mes collègues de l'IP2I, dont l'esprit d'équipe et la bienveillance ont créé un environnement de travail stimulant et encourageant. Leur expertise et leur volonté de partager leurs connaissances ont été une véritable source d'inspiration dans mon développement professionnel.

Je tiens à adresser un remerciement particulier au Dr. Imad Laktineh, responsable du projet PICMIC, grâce à qui j'ai eu l'opportunité de m'impliquer dans un projet de recherche aussi ambitieux et technologiquement avancé. Sa confiance et sa vision m'ont permis de contribuer activement au développement d'un détecteur innovant, au cœur des enjeux actuels en physique des particules.

Un remerciement particulier est également adressé à M. Labrak, notre responsable de formation PSM, pour sa patience et son soutien indéfectible. Sa capacité à nous guider avec clarté et à proposer des solutions pratiques reste un atout précieux dans notre parcours de formation.

Enfin, je souhaite exprimer ma reconnaissance à mon tuteur académique, M. Mas-souri, pour son engagement et sa disponibilité, ainsi qu'à l'ensemble des enseignants de la formation PSM et à la direction de CPE Lyon. Leur dévouement et leur passion pour l'enseignement ont été une source de motivation continue et ont contribué de manière significative à mon apprentissage.



---

## Sommaire

1. Introduction Générale	1
2. Présentation du CNRS et de l'IN2P3	2
3. Présentation de l'IP2I	3
3.1. Présentation de l'équipe de microélectronique	3
4. PICMIC : Détection de Particules à Haute Résolution	4
4.1. Objectifs et Enjeux du Détecteur PICMIC	4
4.2. Description du Setup Typique du PICMIC	5
4.3. Rôle des MCP	5
5. Principe de Fonctionnement du Détecteur PICMIC	8
5.1. Détecteurs de Particules Monolithiques Actifs (MAPS)	8
5.2. Architecture Tri-Axis du PICMIC	10
6. Transition de PICMIC-0 vers PICMIC-1	13
6.1. Motivations de la version PICMIC-1	13
6.2. Améliorations et solutions apportées dans PICMIC-1	14
7. Compréhension et Migration de la PLL.	16
7.1. Approche adoptée et motivations de l'intégration	16
7.2. Étude approfondie du fonctionnement des PLL	16
7.3. Migration de la PLL vers TowerJazz 180 nm	18
8. Simulation et Validation de la PLL	20
8.1. Méthodologie de validation	20
8.2. Validation du PFD + CP	20
8.3. Analyse et Validation du VCO	23
8.4. Validation du Diviseur de Fréquence en Boucle de Rétroaction	25
8.5. Validation complète de la PLL	26
9. Implémentation Physique et Layout de la PLL	30
10. Conclusion Générale	33
11. Annexes	35

---

**Liste des Figures**

1	Schéma typique du setup du détecteur PICMIC . . . . .	5
2	Vue de face d'une plaque à microcanaux et schéma illustrant la génération d'une avalanche d'électrons à partir d'un seul électron incident [1]. . . . .	6
3	Schéma du principe de détection et d'amplification dans un pixel MAPS. . . . .	8
4	Illustration du système Tri-Axis utilisé dans le PICMIC. . . . .	10
5	Illustration d'un exemple du système Tri-Axis. . . . .	11
6	Illustration de l'effet de la distance de l'impact et le comparateur sur le signal reçu. . . . .	13
7	Comparaison des vues synoptiques de PICMIC-0 et PICMIC-1. . . . .	15
8	Synoptique du schéma de la PLL . . . . .	17
9	Résultat de simulation du PFD (Horloge de référence en avance sur le VCO) . . . . .	21
10	Résultat de simulation de la Pompe de Charge (VCO en avance sur Ref) . . . . .	22
11	Variation de la fréquence du VCO en fonction de $V_{ctrl}$ pour différentes valeurs de slow control. . . . .	24
12	Mesure du coefficient de gain $K_{VCO}$ autour de $V_{DD}/2$ . . . . .	25
13	Modèle linéarisé de la PLL ; la rupture de boucle et l'injection AC sont réalisées sur le nœud V10. . . . .	27
14	Simulation du verrouillage de la PLL montrant un temps de stabilisation entre 1.5 $\mu$ s et 2 $\mu$ s. . . . .	28
15	Variation de la tension $V_{ctrl}$ avec un ripple crête-à-crête ( $V_{pp}$ ) d'environ 30 mV. . . . .	28
16	Illustration de l'importance de l'isolation des zones bruitées des zones sensibles. [2] . . . . .	31
17	Exemple de l'importance du floorplanning [2] . . . . .	31
18	Résultat de simulation du PFD (Horloges synchronisées) . . . . .	36
19	Résultat de simulation du PFD (VCO en avance sur l'horloge de référence) . . . . .	36

---

**Liste des Tableaux**

1	Glossaire / Liste des Acronymes . . . . .	
2	Impact du nombre de MCP sur la charge et la dispersion spatiale . . . . .	7
3	Comparaison entre les MAPS classiques et le PICMIC. . . . .	11
4	Comparaison des caractéristiques techniques de PICMIC-0 et PICMIC-1. . . . .	14
5	Valeurs des paramètres et composants du filtre de boucle après redimensionnement . . . . .	19
6	Validation des fréquences générées par le diviseur de fréquence en boucle de rétroaction. . . . .	26
7	Résultats des améliorations apportées par l'optimisation du layout . . . . .	32
8	Liste des laboratoires, infrastructures et plateformes nationales de l'IN2P3 . . . . .	35



## Liste des Acronymes

Acronyme	Signification
ASIC	<i>Application-Specific Integrated Circuit</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CP	<i>Charge Pump</i> (bloc d'une PLL)
CSA	<i>Charge Sensitive Amplifier</i> (« préamplificateur de charge »)
DoT	<i>Digital on Top</i> (méthodologie de conception numérique)
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
KVCO	Coefficient de gain du <i>Voltage-Controlled Oscillator</i>
MAPS	<i>Monolithic Active Pixel Sensor</i>
MCP	<i>Micro-Channel Plate</i>
PFD	<i>Phase Frequency Detector</i> (bloc d'une PLL)
PLL	<i>Phase-Locked Loop</i>
UVM	<i>Universal Verification Methodology</i> (vérification numérique)
VCO	<i>Voltage-Controlled Oscillator</i> (bloc d'une PLL)
VFE	<i>Very Front-End</i> (comparateur + miroir de courant)

**Tableau 1** : Glossaire / Liste des Acronymes



## 1. Introduction Générale

Dans un contexte où l'innovation technologique en microélectronique joue un rôle clé dans de nombreux domaines scientifiques et industriels, la conception et l'optimisation de circuits intégrés dédiés à la physique des particules représentent un enjeu majeur. Ce rapport s'inscrit dans la continuité de mon parcours en alternance et vise à documenter mon évolution professionnelle ainsi que les avancées techniques réalisées au sein de l'Institut de Physique des 2 Infinis (IP2I).

L'objectif principal de cette deuxième année d'alternance est d'approfondir mes compétences en conception et validation de circuits intégrés, en particulier dans le cadre du projet **PICMIC**, qui vise à développer un ASIC (Application-Specific Integrated Circuit) optimisé pour la détection de particules à haute résolution spatiale et temporelle. Ce projet nécessite une approche interdisciplinaire combinant électronique analogique, numérique et mixte, ainsi qu'une forte interaction avec les chercheurs en physique des particules.

### Structure du rapport

Afin d'apporter une vision claire et détaillée du travail effectué, ce document est organisé en **trois parties** principales :

- **Première partie – Cadre général de mon alternance** : présentation du CNRS, de l'IN2P3, de l'IP2I et de mon rôle au sein de l'équipe de microélectronique.
- **Deuxième partie – Contributions techniques au projet PICMIC** : description détaillée de mes apports (architecture PICMIC, implémentation et validation de la PLL, étapes d'intégration physique).
- **Troisième partie – Résultats, défis rencontrés et solutions** : synthèse des performances obtenues, analyse critique et pistes d'amélioration.

Une conclusion générale vient clore le rapport en ouvrant des perspectives pour la suite du projet et mon développement professionnel.

En somme, cette deuxième année d'alternance m'a permis de renforcer mes connaissances techniques et scientifiques tout en développant une approche méthodique pour la résolution de problèmes complexes en microélectronique.

## 2. Présentation du CNRS et de l'IN2P3

Le **Centre National de la Recherche Scientifique (CNRS)** est l'un des plus grands organismes de recherche fondamentale au monde. Fondé en 1939, il joue un rôle clé dans l'avancement des sciences et des technologies, couvrant un large éventail de disciplines. À travers ses nombreux instituts, le CNRS contribue activement au développement de la microélectronique, des systèmes embarqués et des technologies avancées, notamment pour des applications en physique des particules, en astrophysique et en ingénierie des détecteurs.

Mon alternance s'est déroulée au sein de l'**Institut de Physique des 2 Infinis (IP2I)**, une unité mixte de recherche du CNRS et de l'Université Claude Bernard Lyon 1, affiliée à l'**IN2P3 (Institut National de Physique Nucléaire et de Physique des Particules)**. Cet institut joue un rôle clé dans l'exploration des *interactions fondamentales entre les particules élémentaires*, la *physique nucléaire*, et les *applications des rayonnements ionisants* pour la recherche et l'industrie.

L'IN2P3 anime et coordonne la recherche française en physique subatomique, en mettant à disposition de vastes infrastructures et en collaborant avec des laboratoires internationaux. Il dispose de plusieurs laboratoires et plateformes de recherche en France et à l'international, détaillés en annexe 8, notamment pour le développement de **détecteurs de particules** et d'**accélérateurs de haute énergie**. L'institut joue également un rôle essentiel dans la conception de **technologies avancées en instrumentation scientifique**, telles que les circuits électroniques dédiés à l'acquisition et au traitement des signaux.

C'est dans ce cadre que mon travail s'est inscrit, en participant à l'intégration et à l'optimisation d'un **ASIC** pour la détection de particules dans le projet **PICMIC**. Cette expérience m'a permis d'évoluer dans un environnement de recherche de pointe, où la conception et la simulation de circuits intégrés sont essentielles pour le développement d'instruments de haute précision. En collaborant avec des chercheurs et ingénieurs spécialisés, j'ai pu approfondir mes compétences en *conception microélectronique*, *validation de circuits analogiques et numériques*, et *intégration de nouveaux blocs fonctionnels*.

### 3. Présentation de l'IP2I

L'IP2I est une unité mixte de recherche sous la tutelle du **CNRS** et de l'**Université Claude Bernard Lyon 1**. Il est spécialisé dans l'étude des interactions fondamentales en **physique des particules, physique nucléaire et astrophysique**. L'IP2I joue un rôle clé dans le développement de technologies avancées pour la détection et l'analyse des particules, notamment en collaborant avec des infrastructures de recherche nationales et internationales.

L'institut regroupe plusieurs équipes de recherche et d'ingénierie travaillant en synergie sur des projets de grande envergure. Parmi celles-ci, l'équipe de **microélectronique**, dont je fais partie, est un acteur essentiel dans la conception et l'optimisation de circuits intégrés pour la physique des hautes énergies.

#### 3.1. Présentation de l'équipe de microélectronique

L'équipe de microélectronique de l'IP2I est composée d'ingénieurs spécialisés et s'articule autour de deux pôles principaux :

- **Le pôle conception analogique et mixte** : dédié à la conception et la simulation de circuits analogiques et mixtes, comme les préamplificateurs, les filtres et les boucles à verrouillage de phase (PLL).
- **Le pôle conception et vérification numérique** : spécialisé dans le design numérique, la vérification et l'implémentation de circuits logiques, utilisant des méthodologies comme le *Digital on Top* (DoT) et la *Universal Verification Methodology* (UVM).

Mon rôle au sein de l'équipe est la **conception de circuits analogiques et mixtes**, notamment dans le cadre du projet PICMIC. Ce travail implique l'étude, la simulation et l'optimisation de circuits intégrés pour assurer leur performance et leur fiabilité dans des environnements exigeants.

L'équipe de microélectronique collabore étroitement avec les **chercheurs et physiciens de l'IP2I**, ainsi qu'avec d'autres groupes techniques, tels que :

- L'équipe **d'électronique d'acquisition de données**, qui développe les interfaces de lecture et de transmission des signaux détectés.
- Les **physiciens expérimentaux**, qui définissent les besoins spécifiques et évaluent les performances des détecteurs sur le terrain.

## 4. PICMIC : Détection de Particules à Haute Résolution

### Introduction et Contexte

Les détecteurs de particules jouent un rôle fondamental dans de nombreux domaines scientifiques, notamment en *physique des hautes énergies*, *astrophysique*, *imagerie médicale* et *radioprotection*. L'objectif du projet **PICMIC (PICosecond-MICrometer sensor)** est de repousser les limites des capteurs existants en offrant une **résolution spatiale et temporelle inégalée** tout en optimisant les ressources matérielles et énergétiques.

Le projet a débuté en **2019** avec le développement du **PICMIC-0**, une première version visant à valider le concept de détection. Cette année, une nouvelle génération, **PICMIC-1**, a été développée, apportant des améliorations significatives en termes d'architecture et de performances.

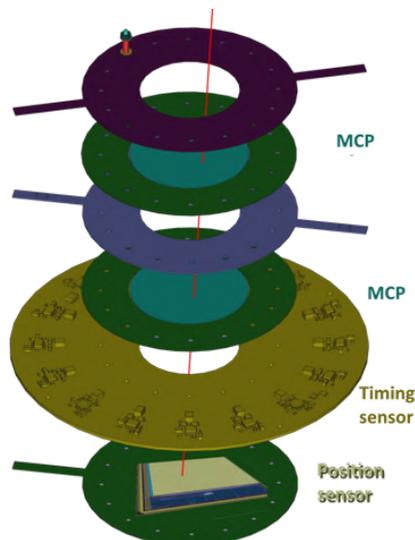
#### 4.1. Objectifs et Enjeux du Détecteur PICMIC

L'objectif principal du projet PICMIC est de concevoir un *ASIC* capable de mesurer **simultanément le temps d'arrivée et la position** des particules avec une précision record. Les défis principaux sont :

- **Une précision temporelle inférieure à 10 ps** pour détecter avec exactitude l'instant d'interaction.
- **Une résolution spatiale de 5  $\mu\text{m}$** , garantissant une localisation ultra-fine.
- **Une optimisation du nombre de canaux de lecture**, afin de limiter la consommation énergétique et la complexité des circuits.
- **Une intégration efficace avec les détecteurs MCP (Micro-Channel Plate)**, utilisés pour amplifier le signal électronique.

## 4.2. Description du Setup Typique du PICMIC

La [figure 1](#) illustre la structure typique d'un détecteur PICMIC. Ce setup repose sur plusieurs composants essentiels :



**Figure 1** : Schéma typique du setup du détecteur PICMIC

- **MCP** : Placé au sommet du détecteur, il amplifie le signal des particules grâce à un effet d'avalanche électronique.
- **Timing Sensor** : Situé sous le MCP, il permet d'extraire une mesure temporelle ultra-précise.
- **Position Sensor** : Dernière couche du détecteur, ce capteur est chargé d'extraire les coordonnées spatiales précises de l'impact.

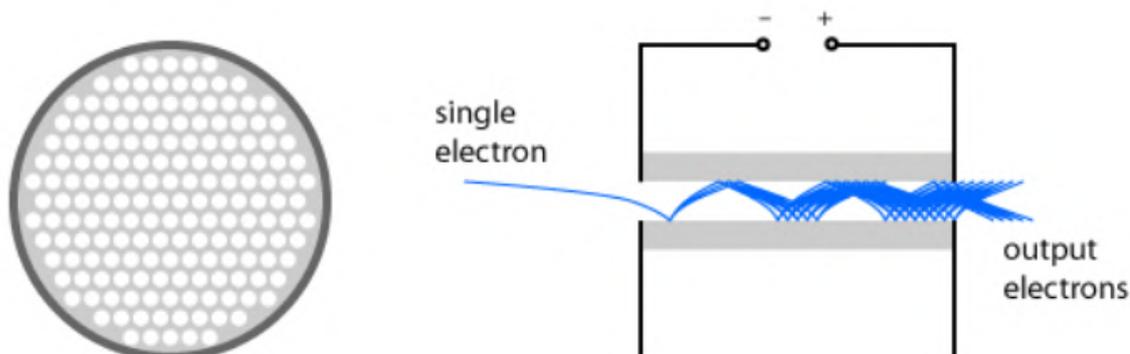
Ce système optimisé permet d'obtenir une détection haute performance tout en limitant la complexité du circuit électronique associé. Les prochaines sections détailleront plus en profondeur le fonctionnement des MCP et de l'ASIC qui nous permet d'atteindre cette résolution spatiale.

## 4.3. Rôle des MCP

Les **MCP** jouent un rôle fondamental dans le projet PICMIC en permettant une amplification rapide et à haut gain des signaux électroniques générés par l'interaction des particules avec le détecteur. Leur fonctionnement repose sur une structure constituée de millions de microcanaux inclinés, chacun jouant le rôle d'un multiplicateur d'électrons.

Lorsqu'une particule chargée ou un photon interagit avec l'entrée d'un MCP, il libère un premier électron qui est accéléré le long du canal sous l'effet d'une haute tension appliquée ( 1 kV). Cet électron entre en collision avec les parois du canal, générant plusieurs électrons secondaires. Ces derniers sont à leur tour accélérés et reproduisent ce processus, créant ainsi une cascade électronique ou "**shower**" d'électrons secondaires.

Après plusieurs cycles de multiplication, un seul électron incident peut produire un grand nombre d'électrons de sortie, typiquement de l'ordre de  $10^3$  à  $10^6$  électrons, ce qui permet une amplification significative du signal initial [1].



**Figure 2** : Vue de face d'une plaque à microcanaux et schéma illustrant la génération d'une avalanche d'électrons à partir d'un seul électron incident [1].

Un MCP fonctionne exclusivement sous vide, avec une pression typique de  $10^{-4}$  Pa, afin d'éviter toute interaction parasite avec les molécules de gaz. De plus, la configuration du MCP impose généralement un léger angle d'inclinaison ( $10^\circ$ ) aux trajectoires des électrons, optimisant ainsi l'effet d'avalanche électronique et maximisant l'amplification du signal.

#### Compromis entre amplification et résolution spatiale

L'amplification électronique fournie par les MCP s'accompagne d'un **compromis sur la résolution spatiale**. En effet, bien que le signal de sortie soit considérablement amplifié, la cascade d'électrons s'étend sur une zone plus large que celle du point d'impact initial. Cela entraîne une **dispersion spatiale** des électrons détectés, rendant plus difficile la localisation précise de la particule incidente. Cet effet est comparable à l'expansion d'une tache lumineuse lorsque l'on diffuse un faisceau de lumière à travers une lentille imparfaite.

Dans certaines configurations, plusieurs MCP peuvent être empilés (jusqu'à trois couches successives) afin d'augmenter encore le gain en amplifiant davantage le signal. Cette approche est particulièrement utile pour détecter des particules ayant une très faible énergie incidente, qui ne produiraient autrement qu'un signal trop faible pour être exploitable. Cependant, l'augmentation du nombre de MCP accentue également la dispersion spatiale et donc la perte de précision sur la position de l'événement détecté.

#### 4. PICMIC : Détection de Particules à Haute Résolution

Nombre de MCP	Charge in [e-]	Qin [fC]	Dispersion (spread 1/3) [fC]
1× MCP	<b>min</b> : 1 000	0.16	0.053
	<b>max</b> : 10 000	1.6	0.533
2× MCP	<b>min</b> : $1.00 \times 10^6$	160	53.3
	<b>max</b> : $1.00 \times 10^7$	1 600	533.3
3× MCP	<b>min</b> : $1.00 \times 10^8$	16 000	5 333
	<b>max</b> : $1.00 \times 10^9$	160 000	53 333

**Tableau 2** : Impact du nombre de MCP sur la charge et la dispersion spatiale

Comme l'illustre le [tableau 2](#), l'augmentation du nombre de MCP entraîne une augmentation exponentielle de la charge de sortie, amplifiant ainsi le signal détecté. Toutefois, cette amplification s'accompagne d'une dispersion spatiale accrue, ce qui complique la localisation précise de l'impact de la particule. Il est donc nécessaire d'optimiser le nombre de MCP en fonction des exigences du détecteur, en équilibrant la nécessité d'une amplification suffisante et la préservation d'une bonne résolution spatiale.

#### Synthèse : Rôle des MCP

L'utilisation des MCP dans le projet PICMIC est essentielle pour garantir une détection efficace des particules en générant un signal suffisamment amplifié pour être lu par l'électronique de traitement. Toutefois, ce gain en amplification se fait au détriment de la résolution spatiale, nécessitant ainsi une optimisation fine du nombre de MCP utilisés en fonction des besoins spécifiques du détecteur.

## 5. Principe de Fonctionnement du Détecteur PICMIC

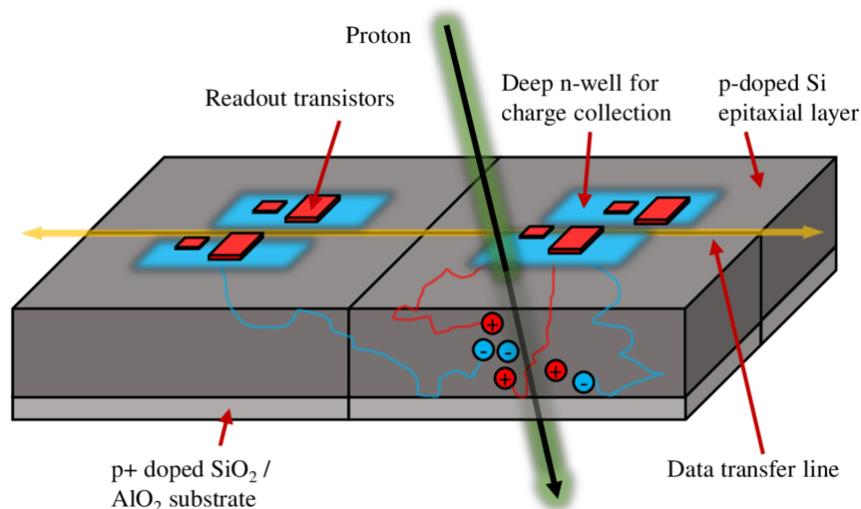
### 5.1. Détecteurs de Particules Monolithiques Actifs (MAPS)

Un **Monolithic Active Pixel Sensor (MAPS)** est un détecteur de particules intégrant sur une même puce un système de détection de charges, une amplification électronique et une lecture numérique. Ce type de capteur est particulièrement adapté aux expériences nécessitant **une grande précision spatiale et une faible consommation d'énergie**, comme le projet PICMIC [3].

#### Détection et amplification du signal

Lorsqu'une particule traverse le détecteur, elle interagit avec la MCP en amont, qui génère une cascade d'électrons secondaires. Ces électrons sont ensuite collectés par le système de détection de chaque pixel du MAPS.

Chaque pixel est constitué d'une **jonction PN sensible**, comme le montre la figure 3, où les charges sont captées puis transférées vers un **amplificateur intégré**. Ce dernier assure une première mise en forme du signal avant son envoi au système de lecture.



**Figure 3** : Schéma du principe de détection et d'amplification dans un pixel MAPS.

#### Organisation en rangées et colonnes (Array 2D)

Les **pixels sont organisés sous forme de matrice (rows × columns)** afin de couvrir une large surface de détection tout en optimisant la lecture des données. Cette structure permet de lire uniquement les pixels activés par un événement, réduisant ainsi la consommation et le temps de lecture.

Chaque ligne est connectée à un bus de lecture qui transmet les données amplifiées vers l'électronique de traitement (Read out system).

### Optimisation et avantages des MAPS dans le projet PICMIC

L'architecture MAPS présente plusieurs avantages qui en font un choix optimal pour la détection de particules. Grâce à son organisation matricielle en **rows** × **columns**, elle permet une large couverture tout en minimisant la consommation énergétique, puisque seuls les pixels activés sont lus. Cette approche réduit la charge de traitement et optimise le temps de lecture.

Cependant, malgré leurs avantages, les MAPS présentent certaines limitations : Une consommation accrue lorsque de nombreux pixels sont activés, ainsi qu'une complexité du circuit de lecture nécessitant une gestion optimisée des signaux, en raison du nombre élevé de pixels actifs. Pour pallier ces contraintes, le projet **PICMIC** exploite un **système de lecture tri-axis**, réduisant le nombre de pixels actifs tout en maintenant une haute précision de détection.

#### Synthèse : Fonctionnement des MAPS

Les **Monolithic Active Pixel Sensors (MAPS)** sont des détecteurs de particules intégrant sur une seule puce la détection, l'amplification et la lecture des charges générées par l'interaction avec une particule. Cette architecture matricielle (**rows** × **columns**) permet une couverture étendue tout en optimisant la consommation énergétique en ne lisant que les pixels activés.

Grâce à leur haute résolution spatiale et leur faible consommation, les MAPS sont particulièrement adaptés aux expériences nécessitant une grande précision, comme le projet PICMIC. Toutefois, l'activation simultanée de nombreux pixels peut entraîner une consommation accrue et complexifier la gestion des signaux. Pour surmonter ces défis, le PICMIC intègre un **système de lecture tri-axis**, permettant de réduire le nombre de pixels actifs tout en préservant une précision optimale.

## 5.2. Architecture Tri-Axis du PICMIC

L'architecture **Tri-Axis** du **PICMIC** est une innovation clé permettant de conserver une **résolution spatiale de 5  $\mu\text{m}$**  tout en réduisant significativement le nombre de pixels activés et, par conséquent, la complexité du système de lecture [4].

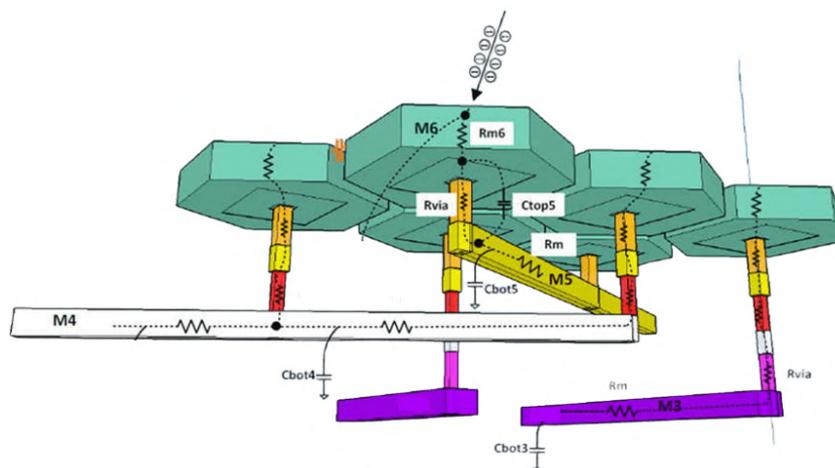
### Principe de fonctionnement du système Tri-Axis

Contrairement aux capteurs MAPS classiques où chaque impact active plusieurs pixels nécessitant une lecture individuelle, le **PICMIC** exploite une structure **hexagonale** des pixels et une **lecture sur trois axes distincts** :

- Chaque pixel hexagonal est relié à trois lignes de lecture orientées selon :
  - $0^\circ$  (horizontal , M4).
  - $+120^\circ$  (M3).
  - $-120^\circ$  (M5).

Ainsi, un groupe de pixels est interconnecté sur la même bande de lecture. Sur une bande de pixels orientée dans une même direction, un seul pixel intègre un **front-end analogique** complet (comparateur, miroir de courant...), tandis que les autres, dits **pixels de propagation**, transmettent simplement la charge détectée. Lorsqu'un électron est capté, la charge circule le long de la bande jusqu'au pixel actif, qui assure la **détection effective du signal**.

Ce principe réduit le nombre de cellules actives, simplifie le routage, et améliore l'efficacité énergétique du système. La figure 4 montre les trois directions des bandes réparties sur les couches métalliques **M3**, **M4** et **M5**. Ce mécanisme permet d'activer **l'ensemble de la ligne** et de simplifier la lecture des données. La figure 4 illustre les trois directions des bandes de pixels, qui sont réparties sur trois métaux distincts (**M3**, **M4** et **M5**) pour optimiser l'interconnexion et minimiser les interférences.



**Figure 4** : Illustration du système Tri-Axis utilisé dans le PICMIC.

- Lorsqu’une particule interagit avec le détecteur, elle génère une **cascade d’électrons secondaires** qui touche au minimum trois pixels adjacents, comme le montre la figure 5.

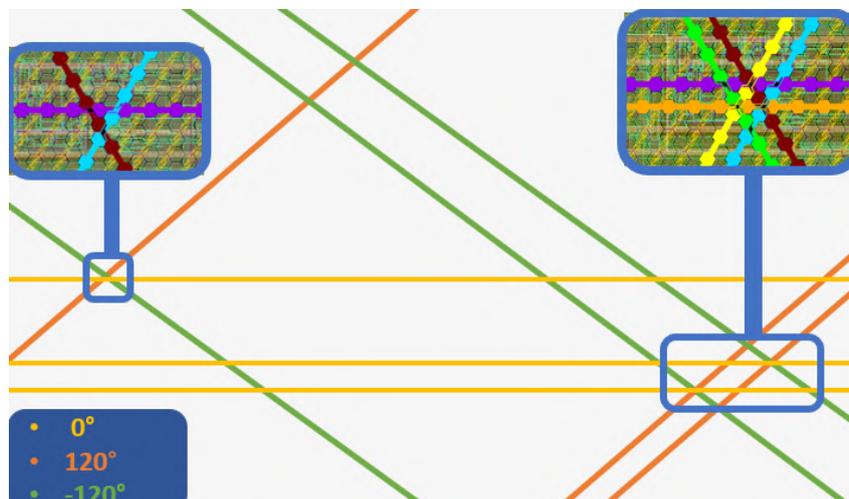


Figure 5 : Illustration d’un exemple du système Tri-Axis.

- Un **algorithme de centroïde** est ensuite utilisé pour **déterminer avec précision la position de l’impact** en analysant les signaux de ces trois pixels activés.

### Réduction du nombre de pixels activés et gain d’optimisation

Grâce à cette architecture, le nombre de voies de lecture est considérablement réduit, passant de **2 millions à 2556 cellules de lecture**. Cette optimisation est possible grâce au **principe de lecture projective**, où les pixels ne sont pas lus individuellement mais à travers des lignes de lecture interconnectées.

Chaque ligne de lecture est associée à un **comparateur de courant**, qui détecte lorsqu’un pixel a été activé et génère un signal numérique. Ces signaux sont ensuite traités par un **encodeur de priorité**, permettant une extraction rapide des données en **400 ns par frame**.

Critère	MAPS Classique	PICMIC avec Tri-Axis
Nombre de pixels nécessaires	≈ 2 millions	2556
Résolution spatiale	Haute (5 $\mu\text{m}$ )	Identique (5 $\mu\text{m}$ )
Consommation énergétique	Élevée	Réduite
Complexité du circuit de lecture	Importante	Optimisée grâce à la lecture tri-axis

Tableau 3 : Comparaison entre les MAPS classiques et le PICMIC.

### Synthèse : Architecture Tri-Axis du PICMIC

L'architecture **Tri-Axis** du **PICMIC** est une avancée majeure permettant une lecture optimisée des événements tout en maintenant une résolution spatiale élevée de **5  $\mu\text{m}$** . Contrairement aux MAPS classiques, cette approche réduit considérablement le nombre de pixels activés en utilisant un système de lecture **sur trois axes** ( $0^\circ$ ,  $+120^\circ$ ,  $-120^\circ$ ).

Grâce à cette organisation, la consommation énergétique et la complexité du circuit de lecture sont significativement réduites, facilitant l'extraction rapide des données. Cette innovation assure un compromis idéal entre **précision spatiale**, **rapidité de lecture et efficacité énergétique**, rendant le **PICMIC** particulièrement adapté aux expériences nécessitant des détecteurs de haute performance.

## 6. Transition de PICMIC-0 vers PICMIC-1

La première version du détecteur, **PICMIC-0**, a permis de valider le concept en recevant un premier prototype d'ASIC et en réalisant des tests approfondis. Mon travail, au cours de cette phase, a consisté en une évaluation détaillée du fonctionnement du circuit afin d'identifier les limitations et les pistes d'amélioration. Ces analyses ont conduit au développement d'une nouvelle version, **PICMIC-1**, actuellement en phase finale de vérification avant son envoi en fabrication [5].

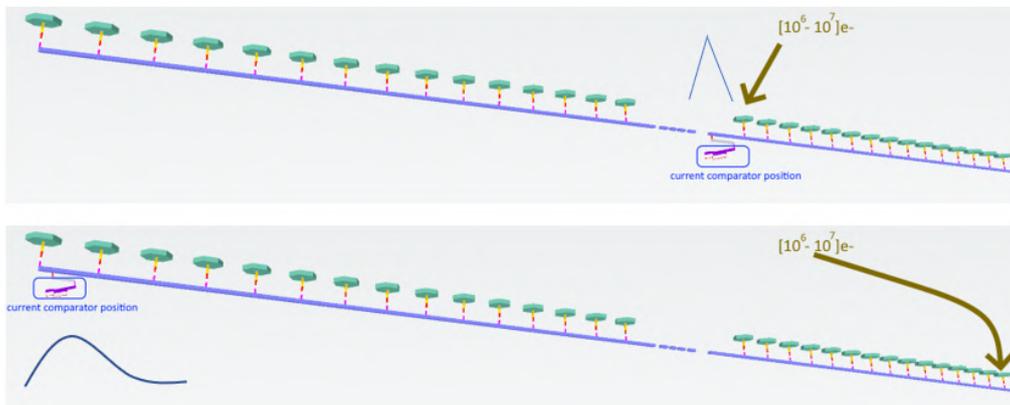
### 6.1. Motivations de la version PICMIC-1

Grâce à une phase de test extensive réalisée lors de ma deuxième année d'alternance, plusieurs limitations de **PICMIC-0** ont été mises en évidence, nécessitant des ajustements techniques.

#### Problèmes identifiés dans PICMIC-0

Les principales limitations relevées sur **PICMIC-0** sont les suivantes :

- **Interférences de la clock externe** : L'architecture du circuit reposait sur une horloge externe de 40 MHz fonctionnant en *single event* (soit sur front montant, soit sur front descendant). Cette implémentation a induit un problème de bruit, perturbant le détecteur temporel ultra-sensible et réduisant la précision des mesures.
- **Atténuation du signal dans les pistes métalliques** : Sur une bande de pixels où un seul pixel actif est relié à un comparateur, le signal généré par un impact d'électron distant subissait une atténuation significative due à la résistivité des pistes métalliques. Cela entraînait une diminution de la tension détectée, empêchant parfois le comparateur de déclencher un signal valide, comme le montre la figure 6. Ce phénomène réduisait la précision spatiale et entraînait des pertes d'événements critiques.



**Figure 6** : Illustration de l'effet de la distance de l'impact et du comparateur sur le signal reçu.

## 6.2. Améliorations et solutions apportées dans PICMIC-1

Afin de pallier ces limitations, plusieurs modifications ont été implémentées dans PICMIC-1 :

1. **Augmentation de la surface de détection** : La surface de la matrice de pixels a été multipliée par 4, passant de  $7.4 \text{ mm} \times 6.4 \text{ mm}$  à  $14.8 \text{ mm} \times 12.8 \text{ mm}$ , tout en maintenant une résolution spatiale de  $5 \mu\text{m}$ . Le nombre de canaux actifs a ainsi été doublé ( $2556 \rightarrow 5112$ ), mais grâce à l'architecture Tri-Axis, la consommation énergétique n'a été multipliée que par 2 au lieu de 4 ( $256 \text{ mA} \times 1.8 \text{ V} \rightarrow 2 \times 256 \text{ mA} \times 1.8 \text{ V}$ ).
2. **Augmentation du taux d'impact maximal** : La fréquence de lecture des événements a été améliorée, passant de  $2.5 \text{ MHz}$  à  $10 \text{ MHz}$ , optimisant ainsi la capacité du détecteur à gérer des flux de particules plus élevés.
3. **Intégration d'une PLL** : Un circuit de boucle à verrouillage de phase (*Phase-Locked Loop*) a été intégré pour générer une horloge interne de  $160 \text{ MHz}$  à partir de la clock externe de  $40 \text{ MHz}$ . Cette amélioration permet une synchronisation plus précise et une réduction du bruit, puisque la fréquence interne fonctionne en **double edge**, limitant ainsi les interférences avec le détecteur temporel. **Des drivers différentiels d'entrée et de sortie ont également été intégrés**, assurant une meilleure immunité au bruit et une compatibilité avec des signaux haute vitesse.
4. **Amélioration du front-end électronique** : Une nouvelle architecture permet un choix entre le **VFE (comparateur + miroir de courant)** et un **CSA (pré-amplificateur de charge)**. Cette évolution corrige les problèmes d'atténuation du signal observés dans **PICMIC-0**, particulièrement présents sur de longues pistes métalliques. Avec la nouvelle surface de détection, les pistes étant plus longues, le CSA permet de compenser ces pertes et d'améliorer la sensibilité globale du détecteur.

Critère	PICMIC-0	PICMIC-1
Taille de la matrice	$7.4 \text{ mm} \times 6.4 \text{ mm}$	$14.8 \text{ mm} \times 12.8 \text{ mm}$
Nombre de canaux actifs	2556	5112
Quantification spatiale	$5 \mu\text{m}$	$5 \mu\text{m}$
Taux d'impact maximal	$2.5 \text{ MHz}$	$10 \text{ MHz}$
Horloge interne	$40 \text{ MHz}$	$160 \text{ MHz}$ (PLL intégrée)
Consommation énergétique	$256 \text{ mA} \times 1.8 \text{ V}$	$2 \times 256 \text{ mA} \times 1.8 \text{ V}$
Type de front-end	Comparateur + miroir de courant	Comparateur ou CSA

Tableau 4 : Comparaison des caractéristiques techniques de PICMIC-0 et PICMIC-1.

## Comparaison des vues synoptiques

La figure 7 illustre les évolutions majeures entre **PICMIC-0** et **PICMIC-1**. Plusieurs améliorations structurelles ont été intégrées dans la nouvelle version :

- **Optimisation du système de lecture** : Un séquenceur amélioré et un multiplexage avancé permettent une gestion plus rapide et efficace des données.
- **Intégration d'une PLL** : Génération d'une horloge interne à 160 MHz pour améliorer la synchronisation et réduire les interférences.
- **Amélioration du front-end analogique** : Ajout d'une architecture **CSA** en complément du *VFE* classique pour minimiser l'atténuation des signaux sur les longues pistes métalliques.
- **Expansion de la matrice de détection** : Passage de  $128 \times 54$  pixels à  $184 \times 74$ , quadruplant la surface active tout en maintenant une résolution de  $5 \mu\text{m}$ .

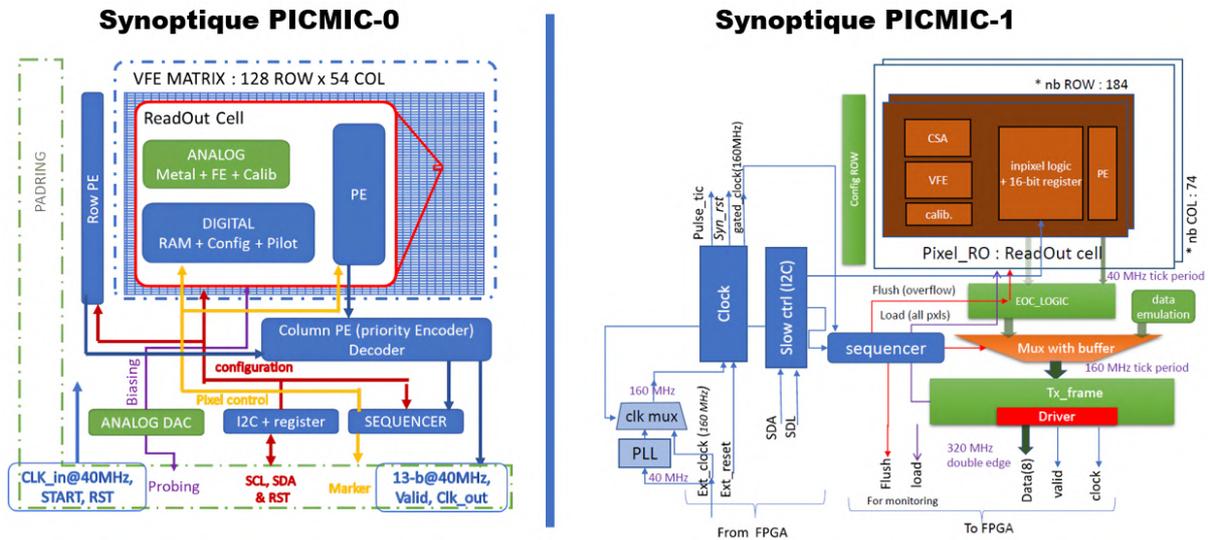


Figure 7 : Comparaison des vues synoptiques de PICMIC-0 et PICMIC-1.

### Synthèse : Transition de PICMIC-0 vers PICMIC-1

Le passage de **PICMIC-0** à **PICMIC-1** marque une évolution majeure en termes de performance et d'optimisation. La surface active de détection a été multipliée par 4, tout en maintenant une **résolution spatiale de  $5 \mu\text{m}$** . Le nombre de canaux actifs a doublé ( $2556 \rightarrow 5112$ ), mais grâce à l'architecture **Tri-Axis**, la consommation énergétique n'a été que partiellement augmentée.

Les améliorations clés incluent une horloge interne plus stable grâce à l'intégration d'une **PLL**, une **augmentation du taux d'impact** ( $2.5 \text{ MHz} \rightarrow 10 \text{ MHz}$ ), et un nouveau **front-end électronique** combinant comparateur et préamplificateur de charge (**CSA**) pour corriger les pertes de signal.

## 7. Compréhension et Migration de la PLL.

L'un des aspects majeurs de mon travail cette année a été **l'intégration et la validation de la PLL** au sein de l'ASIC PICMIC-1. Cette tâche, bien que complexe, a été abordée de manière méthodique pour assurer une transition fluide d'une conception existante en **TSMC 130nm** vers une implémentation en **TowerJazz 180nm**.

### 7.1. Approche adoptée et motivations de l'intégration

Dès le début du projet, il était clair qu'il n'était pas nécessaire de concevoir une nouvelle PLL de zéro. En effet, une version fonctionnelle existait déjà, conçue en **TSMC 130nm** par un collègue de mon équipe, **Hervé Mathez**. Ma tâche a donc consisté à **migrer cette PLL vers la technologie TowerJazz 180nm**, tout en garantissant sa compatibilité avec le reste de l'ASIC.

L'intégration d'une PLL dans un détecteur de particules est essentielle pour plusieurs raisons :

- **Stabilisation de l'horloge** : Une PLL permet de générer une horloge stable et adaptée aux besoins du circuit, en convertissant une fréquence d'entrée (ici 40 MHz) en une fréquence plus élevée et plus stable (160 MHz).
- **Réduction du bruit de phase** : Une horloge générée en interne réduit les interférences causées par une source externe, surtout le bruit impactant le capteur temporel, réduisant sa précision.
- **Synchronisation du readout** : L'ASIC nécessite une fréquence précise pour son séquenceur de lecture des données, d'où l'importance d'une PLL fiable et performante.

### 7.2. Étude approfondie du fonctionnement des PLL

Avant d'entamer la migration, j'ai réalisé une **recherche bibliographique exhaustive** pour bien comprendre le rôle fondamental d'une PLL et plus précisément son impact dans notre projet. Cette recherche m'a permis d'approfondir mes connaissances sur les différents blocs qui la composent et leurs interactions.

Je me suis principalement basé sur des **articles IEEE** et le livre de **Behzad Razavi** détaillant le fonctionnement des PLL en CMOS [6]. Il est essentiel de rappeler brièvement le fonctionnement général d'une PLL et ses principaux sous-blocs pour contextualiser la suite du travail.

Une **Phase-Locked Loop (PLL)** est un circuit permettant de générer une fréquence stable et précise en verrouillant la phase de son signal de sortie sur celle d'un signal de référence.

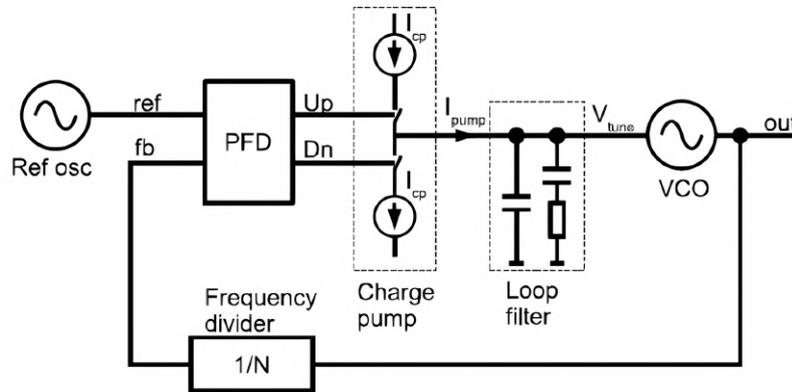


Figure 8 : Synoptique du schéma de la PLL

Elle se compose de plusieurs sous-blocs clés, comme le montre la figure 8, chacun jouant un rôle critique dans la stabilisation et la génération du signal d'horloge :

- **Phase Frequency Detector (PFD)** : Le détecteur de phase et de fréquence (PFD) est responsable de la comparaison de la phase et de la fréquence entre le signal d'entrée de référence et le signal de retour divisé. Il génère deux signaux de sortie (UP et DOWN) qui indiquent si la sortie de la PLL est en avance ou en retard.
- **Charge Pump (CP)** : La charge pump convertit les signaux UP et DOWN du PFD en un courant proportionnel à l'erreur de phase. Ce courant est ensuite injecté dans le filtre de boucle. Un des défis de la charge pump est d'assurer une symétrie parfaite entre les courants de charge et de décharge, afin d'éviter un décalage de phase résiduel (mismatch de courant).
- **Filtre de boucle (Loop Filter, LPF)** : Le filtre de boucle est un réseau RC passif ou actif qui lisse les impulsions de la charge pump et génère une tension continue pour contrôler le VCO. Il joue un rôle clé dans la stabilité et la bande passante de la PLL. Un filtre mal dimensionné peut introduire des oscillations ou un temps de stabilisation trop long.
- **Voltage-Controlled Oscillator (VCO)** : Le VCO est le cœur de la PLL, responsable de la génération du signal haute fréquence. Il convertit la tension du filtre de boucle en une fréquence de sortie proportionnelle. L'un des principaux défis d'un VCO est son **coefficient de gain**  $K_{VCO}$ , qui doit être précisément calibré pour éviter des variations excessives de la fréquence en fonction des fluctuations de

tension. Deux architectures courantes sont utilisées :

- **VCO en anneau (Ring VCO)** : Compact et facile à intégrer, mais avec un **fort bruit de phase**.
- **VCO à LC** : Meilleure stabilité et bruit de phase réduit, mais l'inductance  $L$  prend plus de surface et consomme plus d'énergie.
  
- **Diviseur de fréquence** : Le diviseur de fréquence réduit la fréquence du VCO pour la ramener à une plage comparable à celle du signal d'entrée. Différentes architectures existent, notamment les diviseurs à **compteur statique** (simples mais plus lents) et les diviseurs à **injection de phase** (plus rapides mais plus complexes).

Grâce à cette analyse détaillée, j'ai pu mieux comprendre le comportement de chaque sous-bloc et anticiper les défis liés à la migration de la PLL vers la technologie **TowerJazz 180 nm**. Cette compréhension a été essentielle pour garantir une transition réussie et assurer que la PLL réponde aux exigences de performance du projet PICMIC-1.

### 7.3. Migration de la PLL vers TowerJazz 180 nm

L'étape suivante a été la **migration de la PLL existante**. Cette tâche a principalement impliqué :

- **L'adaptation des dimensions des transistors** pour conserver les mêmes niveaux de courant malgré le changement de nœud technologique.
- **L'ajustement des paramètres de simulation** pour garantir que la PLL respecte le cahier des charges, notamment en termes de fréquence de sortie (2.56 GHz) et de stabilité.

En raison de la compatibilité relativement bonne entre les deux technologies, **la majorité des blocs n'ont pas nécessité de modifications majeures**, sauf quelques **ajustements au niveau de la charge pump et du VCO**.

Cependant, la migration vers la technologie **TowerJazz 180 nm** a nécessité un **redimensionnement du filtre de boucle**, afin d'adapter les paramètres de stabilité et la réponse fréquentielle aux nouvelles caractéristiques technologiques. Plutôt que de repartir de zéro, nous avons utilisé la **fonction de dimensionnement développé par Hervé Mathez** et basé sur l'explication de la thèse de **Mathilde Sié** [7], ce qui nous a permis d'optimiser rapidement les valeurs de résistance et de capacité pour garantir la stabilité de la PLL tout en maintenant les performances en termes de verrouillage et de bande passante.

Le tableau ci-dessous récapitule les nouvelles valeurs des composants du filtre de boucle après redimensionnement :

Paramètre	Valeur	Unité
Fréquence d'entrée ( $F_{in}$ )	40	MHz
Fréquence de sortie ( $F_{out}$ )	2.56	GHz
KVCO	1200	MHz/V
Courant de la charge pump ( $I_{cp}$ )	50	$\mu A$
Marge de phase	70	$^{\circ}$
Diviseur (N)	64	-
R1	27.67	k $\Omega$
C1	8.16	pF
C2	0.26	pF

**Tableau 5** : Valeurs des paramètres et composants du filtre de boucle après redimensionnement

Grâce à cette optimisation, le filtre de boucle permet d'assurer une bonne régulation de la tension de contrôle du VCO tout en évitant les instabilités et en garantissant un bon compromis entre **bande passante et temps de verrouillage**.

### Synthèse : Migration de la PLL vers TowerJazz 180 nm

La migration de la **PLL** de **TSMC 130 nm** vers **TowerJazz 180 nm** a nécessité l'adaptation de ses blocs tout en conservant son architecture. La **charge pump** et le **VCO** ont été ajustés pour garantir la compatibilité et la stabilité du circuit.

Le **filtre de boucle** a été redimensionné pour s'adapter aux nouvelles caractéristiques technologiques, en optimisant les valeurs de **R1**, **C1** et **C2** grâce à une **fonction de calcul** développé en interne. Cette approche a permis d'assurer une bonne **stabilité** et une **marge de phase adéquate** tout en minimisant le temps de verrouillage.

Pour garantir le bon fonctionnement de la **PLL** après migration, une **phase de validation et de simulation** a été réalisée. Les résultats de ces vérifications sont détaillés dans la section suivante.

## 8. Simulation et Validation de la PLL

Afin de garantir le bon fonctionnement de la **PLL migrée vers TowerJazz 180 nm**, une phase de validation rigoureuse a été réalisée. Cette validation repose sur une approche méthodique consistant à tester individuellement chaque sous-bloc avant d'évaluer la boucle complète. L'objectif est de **vérifier la conformité des performances attendues**, notamment en termes de **bande passante, stabilité et verrouillage de phase**.

### 8.1. Méthodologie de validation

La validation s'est déroulée en plusieurs étapes, en suivant une logique ascendante :

- Vérification du **PFD** seul.
- Test du **PFD + CP** pour analyser la conversion phase-courant.
- Validation du **VCO**, notamment son **KVCO** et sa linéarité.
- Vérification du **Diviseur de fréquence** pour s'assurer du bon rapport de division.
- Simulation de la **PLL complète** pour évaluer le verrouillage, la marge de phase et la stabilité en régime établi.

### 8.2. Validation du PFD + CP

- **Objectif** : Vérifier le bon fonctionnement du PFD en comparant deux signaux d'entrée en fréquence et en phase et analyser la conversion du signal de phase en courant de charge pump.
- **Métriques évaluées** : Détection correcte des écarts de phase, génération correcte des signaux UP/DOWN et symétrie du courant UP/DOWN, absence de mismatch de courant, réponse dynamique.

#### Validation du PFD

Le **PFD** est un élément essentiel de la boucle PLL, responsable de la détection de la différence de phase et de fréquence entre le signal d'entrée et le signal de retour. Son rôle principal est de générer deux signaux de commande, **UP** et **DOWN**, qui seront ensuite traités par la **charge pump** pour ajuster la fréquence du **VCO**.

Afin de vérifier son bon fonctionnement, nous avons réalisé des simulations couvrant trois scénarios distincts :

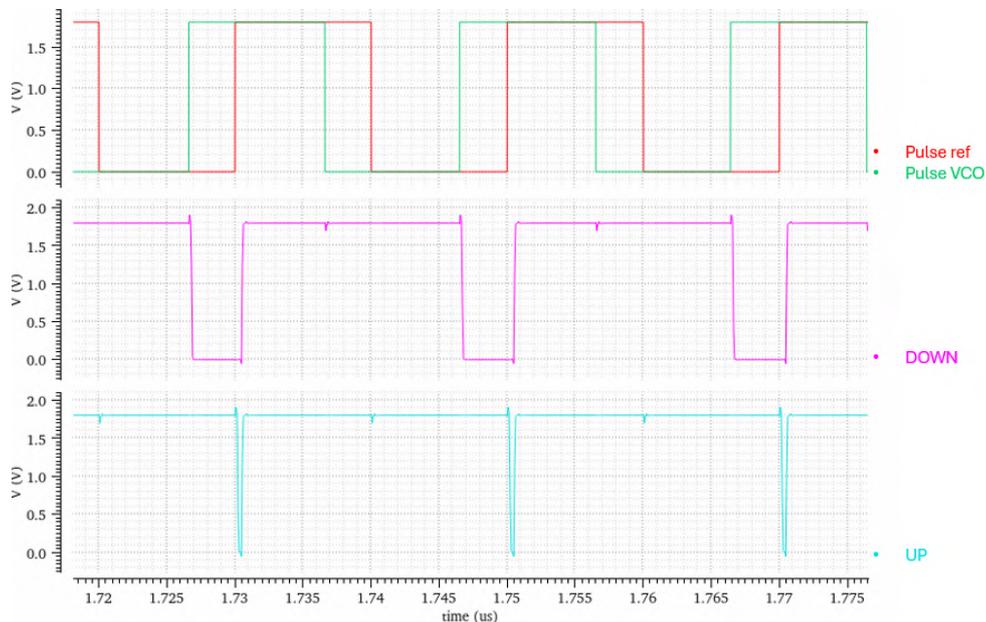
- Lorsque l'horloge de référence est en avance par rapport à l'horloge du **VCO**.
- Lorsque les deux horloges sont parfaitement synchronisées.
- Lorsque l'horloge du **VCO** est en avance par rapport à l'horloge de référence.

Il est à noter que dans notre implémentation spécifique, les signaux **UP** et **DOWN** sont inversés par rapport à la convention standard :

- Lorsque l'horloge de référence (**Ref**) est en avance, le signal **DOWN** est activé, tandis que le signal **UP** reste bas.
- Lorsque l'horloge du **VCO** est en avance, le signal **UP** est activé, et le signal **DOWN** reste bas.
- Lorsque les deux horloges sont synchronisées, aucun des deux signaux n'est activé.

### Cas : L'horloge de référence est en avance sur le VCO

Dans ce scénario, l'horloge de référence est en avance par rapport à l'horloge du **VCO**. Conformément à la logique de fonctionnement du **PFD**, le signal **DOWN** est activé, indiquant que le **VCO** doit accélérer pour rattraper l'horloge de référence.



**Figure 9 :** Résultat de simulation du PFD (Horloge de référence en avance sur le VCO)

Comme le montre la figure 9, dès que la phase de l'horloge de référence précède celle du **VCO**, le signal **DOWN** est activé, tandis que le signal **UP** reste désactivé.

Pour une analyse complète du fonctionnement du **PFD**, nous avons également étudié deux autres scénarios :

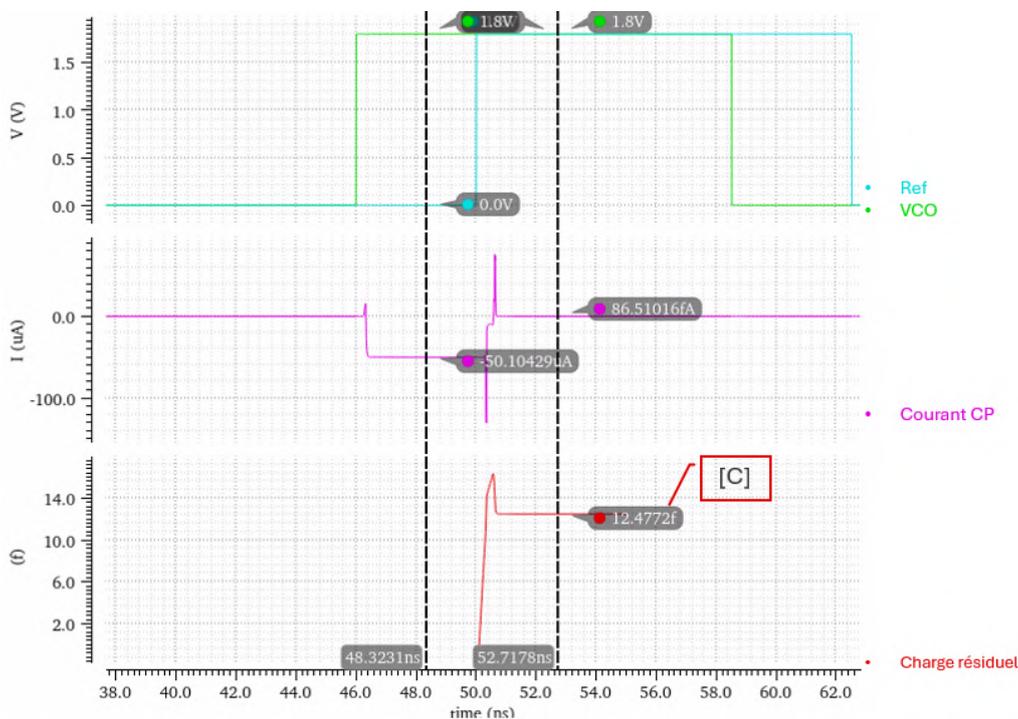
- Lorsque les deux horloges sont synchronisées, aucun signal n'est activé, confirmant que le **PFD** fonctionne correctement sans erreur de phase.
- Lorsque l'horloge du **VCO** est en avance sur l'horloge de référence, le signal **UP** est activé pour ralentir le **VCO**, tandis que le signal **DOWN** reste désactivé.

Les résultats détaillés de ces deux cas sont présentés en **Annexe (11.)** et **(11.)**.

### Validation de la Pompe de Charge (CP)

La pompe de charge (**CP - Charge Pump**) est un élément clé de la PLL, chargée de convertir les signaux **UP/DOWN** générés par le **PFD** en un courant proportionnel à l'erreur de phase. Ce courant est ensuite filtré par le **Loop Filter** pour produire la tension de contrôle du **VCO**.

Afin de valider son fonctionnement, nous avons repris le même cas de test que pour le **PFD**, où le **VCO** est en avance sur l'horloge de référence (**Ref**). Dans cette situation, le signal **UP** doit être activé, tandis que **DOWN** reste désactivé. Cela signifie que la pompe de charge doit **injecter un courant négatif** dans le filtre de boucle afin de réduire la fréquence du **VCO** et réaligner les horloges.



**Figure 10** : Résultat de simulation de la Pompe de Charge (VCO en avance sur Ref)

Comme illustré dans la figure 10, lorsque le signal **UP** est activé, la charge pump injecte bien un courant négatif  $-I_{CP}$ , confirmant que le circuit réagit correctement à l'erreur de phase détectée par le **PFD**.

### Étude de l'imperfection de la charge pump : charge résiduelle

Dans un système PLL idéal, la pompe de charge doit cesser toute injection de courant dès que les deux horloges sont parfaitement synchronisées. Cela signifie que la charge résiduelle accumulée ( $Q_{residual}$ ) devrait être **exactement**  $0C$ .

Toutefois, en raison des imperfections du **PFD-CP**, une petite quantité de charge **résiduelle** est observée dans notre simulation, avec une valeur mesurée de  $Q_{residual} = 12 fC$ .

### Synthèse : Validation du PFD + CP

Les simulations réalisées ont confirmé que :

- Le **PFD** détecte correctement les écarts de phase et génère les signaux appropriés (**UP/DOWN**).
- La **Pompe de charge (CP)** convertit bien ces signaux en un courant proportionnel permettant d'ajuster la fréquence du **VCO**.
- Une charge résiduelle de **12 fC** a été observée, ce qui reste minime mais peut **s'accumuler** sur le long terme.

### 8.3. Analyse et Validation du VCO

Le **VCO** joue un rôle central dans le fonctionnement de la PLL, assurant la conversion de la tension issue du **Filtre** en une fréquence d'horloge stable. Dans notre cas, nous avons utilisé une architecture basée sur **trois inverseurs**, avec une commande fine via **5 bits de slow control** permettant d'ajuster précisément le courant injecté dans l'oscillateur.

**Effet des bits de slow control :** Le VCO intègre un réseau de 5 bits de « slow control », chacun commandant un miroir de courant élémentaire de valeur  $\Delta I$ . L'activation de chaque bit modifie le courant total  $I_{\text{ctrl}}$  injecté dans les inverseurs, entraînant un déplacement de la fréquence de sortie d'environ

$$\Delta f \approx K_{\text{VCO}} \frac{\Delta I}{C_{\text{eff}}}$$

où  $K_{\text{VCO}}$  est le gain en fréquence par volt et  $C_{\text{eff}}$  la capacité équivalente du VCO. Cette structure par pas discret permet un réglage précis de la fréquence.

**Compromis de conception :** Un pas de courant trop faible améliore la résolution de réglage mais réduit la plage dynamique et accroît la sensibilité aux bruits et variations de température. À l'inverse, un pas de courant plus grand étend la plage de fréquence couverte au détriment de la finesse de réglage. Le dimensionnement optimal du pas  $\Delta I$  équilibre donc précision, stabilité et bande passante de la boucle PLL.

#### Objectifs de la validation du VCO

Afin de garantir le bon fonctionnement du **VCO**, nous avons réalisé une série de simulations visant à vérifier plusieurs points essentiels :

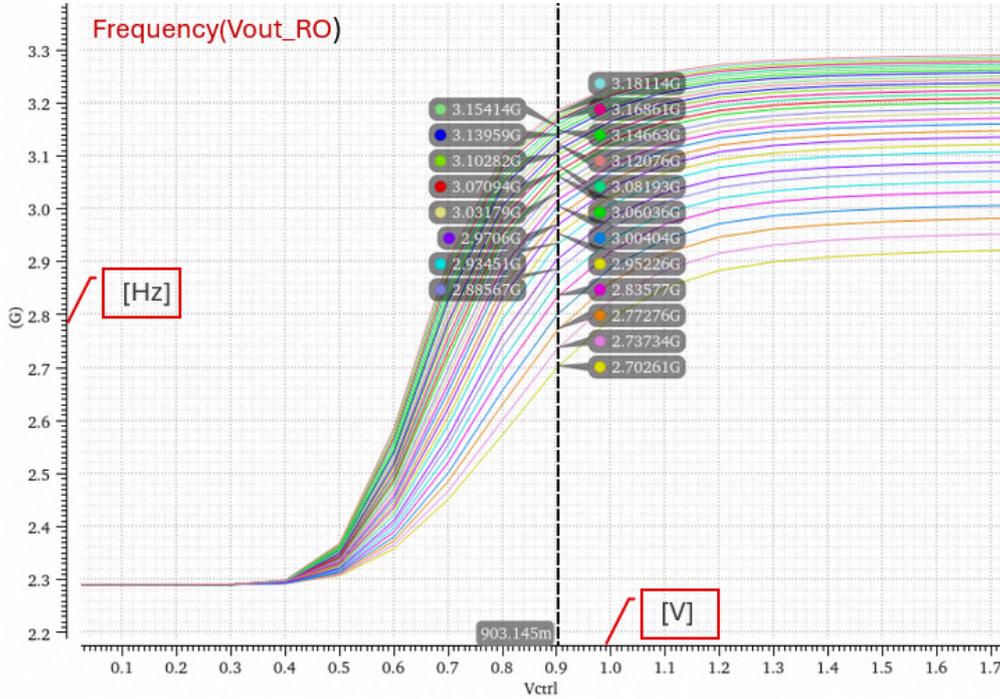
- **Analyse de la plage de fréquences :** Vérifier que la plage linéaire du **VCO** atteint bien une fréquence supérieure à 2.56 GHz, afin d'anticiper une éventuelle

baisse de fréquence due aux effets du layout et aux capacités parasites.

- **Mesure du coefficient de gain  $K_{VCO}$**  : Vérifier que le coefficient de sensibilité du VCO respecte la spécification de  $1200 \text{ MHz V}^{-1}$  pour une tension de contrôle centrée autour de  $V_{DD}/2$ .

### Simulation de la plage de fréquences du VCO

Nous avons simulé le VCO en explorant toutes les valeurs possibles du **slow control** afin d'établir la relation entre la tension de contrôle  $V_{ctrl}$  et la fréquence d'oscillation. La figure 11 illustre cette variation pour différentes configurations.



**Figure 11** : Variation de la fréquence du VCO en fonction de  $V_{ctrl}$  pour différentes valeurs de slow control.

L'objectif était de nous assurer que pour la zone **linéarisée** du VCO, la fréquence atteignait bien une valeur supérieure à 2.56 GHz, ce qui a été confirmé. Cette marge de sécurité est essentielle, car nous anticipons une réduction de la fréquence effective après le **layout**, en raison des effets liés aux capacités parasites et au bruit.

### Mesure et validation du coefficient $K_{VCO}$

Le coefficient de variation  $K_{VCO}$  représente la sensibilité du VCO à la tension de contrôle  $V_{ctrl}$ , exprimée en  $\text{MHz V}^{-1}$ . Il est défini par la relation :

$$K_{VCO} = \frac{\Delta f}{\Delta V_{ctrl}} \quad (1)$$

où  $\Delta f$  est la variation de fréquence en réponse à une variation de tension  $\Delta V_{ctrl}$ .

Nous avons mesuré  $K_{VCO}$  pour une tension de contrôle centrée autour de  $V_{DD}/2$ . Les résultats obtenus sont illustrés dans la figure 12.

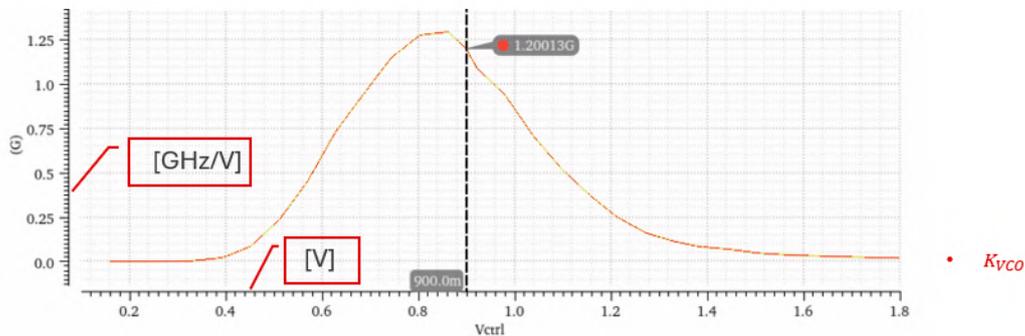


Figure 12 : Mesure du coefficient de gain  $K_{VCO}$  autour de  $V_{DD}/2$ .

La simulation a confirmé que  $K_{VCO}$  est de  $1.2 \text{ GHz V}^{-1}$ , exactement conforme aux exigences du cahier des charges. Ce résultat est crucial car un  $K_{VCO}$  mal calibré pourrait entraîner une instabilité dans la boucle PLL et affecter la qualité du signal d'horloge généré.

### Synthèse : Validation du VCO

Les simulations du **VCO** ont permis de vérifier :

- Une plage de fréquences suffisante pour anticiper les pertes dues aux effets du layout et aux capacités parasites.
- Une linéarité correcte du **VCO** dans la zone d'exploitation.
- Une valeur du coefficient  $K_{VCO} = 1.2 \text{ GHz V}^{-1}$ , parfaitement conforme au cahier des charges.

Ces résultats garantissent que le **VCO** remplira son rôle dans la boucle PLL, assurant une génération d'horloge stable et précise.

## 8.4. Validation du Diviseur de Fréquence en Boucle de Rétroaction

Le diviseur de fréquence est un élément essentiel de la **PLL**, permettant d'assurer la rétroaction nécessaire au verrouillage de phase. Il est constitué de plusieurs **basculeurs D** (*flip-flops*) connectés en cascade pour diviser la fréquence en puissances de 2, ainsi que de **multiplexeurs** (*MUX*) permettant de sélectionner la fréquence de sortie souhaitée via des bits de **slow control**.

Dans notre cas, la fréquence souhaitée est de 160 MHz, mais nous avons effectué une série de tests pour valider les différentes configurations possibles du diviseur. Ces tests ont permis de s'assurer que la sélection de fréquence fonctionne correctement et que chaque valeur divisée est générée avec précision.

## Résultats des simulations du diviseur de fréquence

Fréquence d'entrée	Fréquence obtenue
2.56 GHz	1.28 GHz
2.56 GHz	320 MHz
2.56 GHz	160 MHz
2.56 GHz	80 MHz
2.56 GHz	40 MHz

**Tableau 6** : Validation des fréquences générées par le diviseur de fréquence en boucle de rétroaction.

Les simulations ont confirmé que chaque fréquence attendue est bien générée en fonction des bits de **slow control**, assurant ainsi une flexibilité dans le choix de la fréquence de sortie. La valeur sélectionnée pour notre application est 160 MHz, correspondant à la configuration 1000 1000 des bits de **slow control**.

### 8.5. Validation complète de la PLL

Après avoir vérifié individuellement chaque sous-bloc, nous avons simulé la **PLL complète** afin de valider plusieurs métriques clés :

- **Le temps de verrouillage** ( $\tau_{lock}$ ) : durée nécessaire pour que la PLL atteigne un état stable après un changement d'entrée.
- **La stabilité de la fréquence de sortie** ( $F_{out}$ ) : vérification que la fréquence finale respecte bien le cahier des charges.
- **La marge de phase et le jitter** : analyse du bruit temporel de l'horloge générée.
- **L'analyse de la tension de contrôle**  $V_{ctrl}$  : étude du ripple et de la stabilité de la boucle.

## Résultats des simulations

### Temps de verrouillage de la PLL

Le **temps de verrouillage** ( $\tau_{lock}$ ) correspond à la durée nécessaire pour que la PLL atteigne un état stable après une phase transitoire. Nos simulations ont montré un **temps de verrouillage compris entre 1.5  $\mu$ s et 2  $\mu$ s**, ce qui est conforme aux attentes et assure une convergence rapide de la boucle.

### Analyse de stabilité en petit signal

Bien que la boucle **PLL** soit non linéaire, son comportement autour du point de verrouillage peut être linéarisé et analysé par une simulation *small-signal* (**stb**) pour

déterminer la **marge de phase**. L'approche retenue est :

### i. Linéarisation du modèle

Chaque sous-bloc non linéaire est remplacé par une source contrôlée idéale :

— **PFD+CP** : source de courant  $K_{PD} = \frac{I_{CP}}{2\pi}$  (A/rad).

— **Filtre de boucle + VCO** : réseau RC linéaire et VCO en fonction de R1, C1 et R2

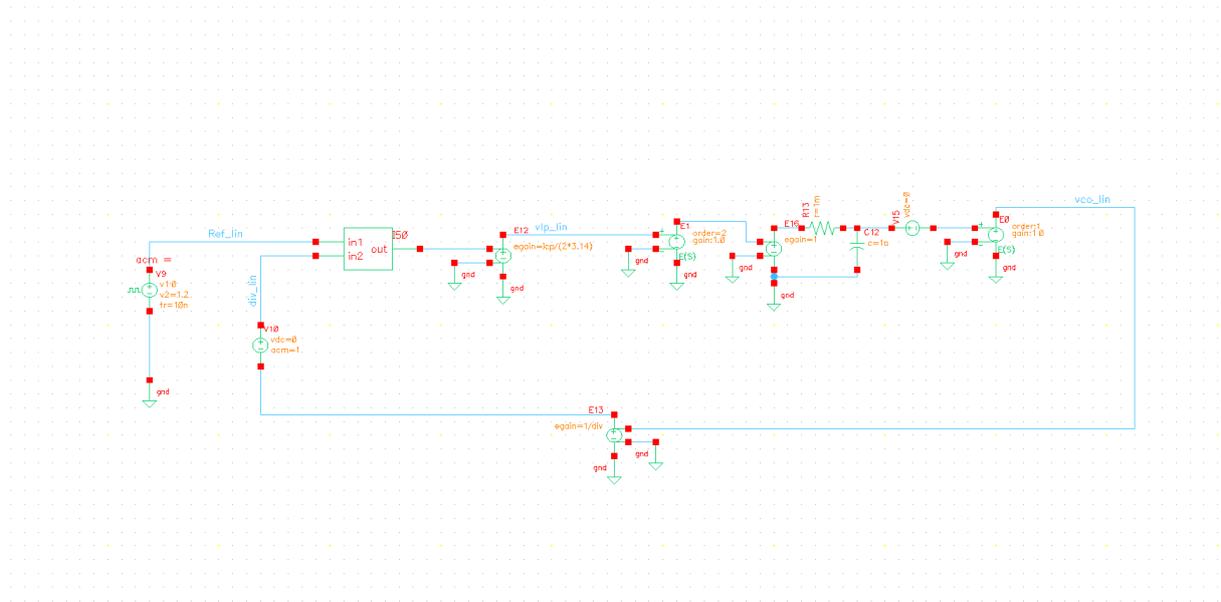
Le diviseur est modélisé par un gain statique  $1/N$ .

### ii. Rupture de boucle au nœud V10

On ouvre la boucle juste après le diviseur (nœud V10) : un générateur AC small-signal est injecté via un buffer idéal pour ne pas charger le nœud, et la sortie du VCO est re-bouclée vers le PFD selon la méthode **stb**.

### iii. Simulation et extraction

Balayage en fréquence de 100 Hz à 10 GHz. On mesure la fréquence d'unité-gain  $f_u$  et la phase associée pour déduire la marge de phase  $\Phi_m$ .



**Figure 13** : Modèle linéarisé de la PLL ; la rupture de boucle et l'injection AC sont réalisées sur le nœud V10.

La réponse de Bode montre une marge de phase ,

$$\Phi_m = 70^\circ (\pm 2^\circ)$$

en parfait accord avec le dimensionnement (tableau 5) et la réponse temporelle (figure 14).

### Jitter absolu

Le **jitter** représente les fluctuations temporelles indésirables du signal d'horloge en sortie. Un **jitter absolu de l'ordre de 2 ps<sub>RMS</sub>** a été mesuré. Cette valeur étant faible,

elle garantit une synchronisation précise et une qualité d'horloge suffisante pour le fonctionnement de l'ASIC.

### Analyse de $V_{ctrl}$ et ripple

La tension de contrôle  $V_{ctrl}$  issue du filtre de boucle a été analysée pour détecter d'éventuelles oscillations indésirables. Nous avons observé un **ripple d'environ**  $5\text{ mV}_{RMS}$ , ce qui confirme une bonne stabilisation et une régulation efficace du **VCO**.

### Vérification de la fréquence de sortie

La fréquence de sortie obtenue après verrouillage de la boucle a été mesurée à 160 MHz, correspondant aux attentes du cahier des charges. Ce résultat confirme que la boucle de rétroaction fonctionne correctement.

### Illustration des résultats de simulation

- **Évolution du signal de verrouillage** : illustrant le temps nécessaire pour stabiliser la PLL.
- **Variation de  $V_{ctrl}$  en fonction du temps** : montrant l'amplitude du ripple.
- **Signal de sortie à 160 MHz** : validant la stabilité en régime établi.

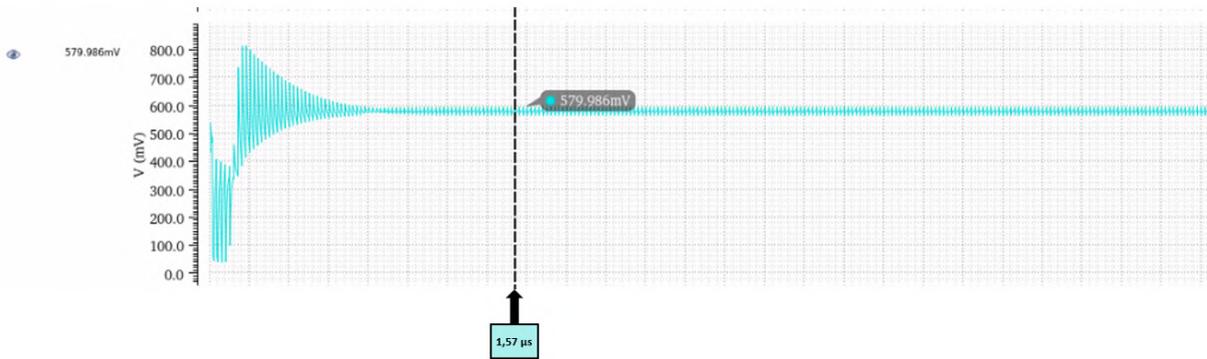


Figure 14 : Simulation du verrouillage de la PLL montrant un temps de stabilisation entre 1.5  $\mu\text{s}$  et 2  $\mu\text{s}$ .

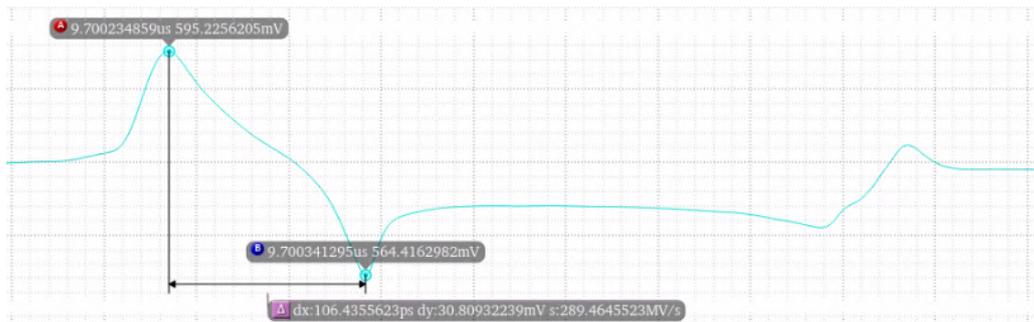


Figure 15 : Variation de la tension  $V_{ctrl}$  avec un ripple crête-à-crête ( $V_{pp}$ ) d'environ 30 mV.

**Synthèse : Validation complète de la PLL**

Les simulations ont confirmé que la **PLL migrée vers TowerJazz 180 nm est fonctionnelle** et répond aux exigences suivantes :

- **Temps de verrouillage rapide** : 1.5  $\mu$ s à 2  $\mu$ s.
- **Jitter faible** : 2 ps<sub>RMS</sub>, garantissant une bonne stabilité temporelle.
- **Ripple maîtrisé** : 5 mV<sub>RMS</sub> sur la tension de contrôle  $V_{ctrl}$ .
- **Fréquence de sortie conforme** : 160 MHz après verrouillage.

Ces résultats montrent que la **PLL remplit ses exigences de stabilité, de précision et de verrouillage rapide**, validant ainsi son intégration dans l'ASIC PICMIC-1.

## 9. Implémentation Physique et Layout de la PLL

L'implémentation physique et le layout de la PLL ont constitué une expérience relativement nouvelle pour moi. Cette étape représentait en effet ma première prise en main autonome de l'intégration physique d'un circuit complexe analogique au sein d'un ASIC. Malgré le défi que représentait la maîtrise de cette nouvelle compétence, j'ai pu prendre en main, en totale autonomie, la réalisation du layout grâce à un travail méthodique et approfondi.

Afin de maîtriser le processus d'implémentation physique, j'ai commencé par la réalisation individuelle de chaque sous-bloc composant la PLL, à savoir : le **PFD**, la **CP**, le **LPF**, le **VCO** et le **diviseur de fréquence**. Chaque bloc a été conçu séparément, en veillant à respecter les bonnes pratiques de layout analogique afin de garantir les meilleures performances possibles tout en minimisant les effets parasites liés aux capacités et résistances induites par le layout.

La réalisation de l'implémentation physique de la PLL m'a permis d'apprécier l'importance cruciale d'une communication claire et d'une compréhension approfondie du circuit, même lorsque le concepteur initial et le responsable du layout ne sont pas la même personne. En effet, au-delà des considérations techniques propres au dessin, certains points clés liés directement à la performance du circuit doivent être parfaitement maîtrisés : le fonctionnement global, les fréquences de fonctionnement, les densités de courant dans les lignes d'alimentation, la consommation électrique, ainsi que l'identification des transistors critiques nécessitant un matching particulièrement rigoureux.

Durant les premières étapes du layout, j'ai dû réaliser plusieurs itérations complètes de la PLL afin d'atteindre les spécifications du cahier des charges. À titre d'exemple, lors de la toute première implémentation complète du layout la fréquence maximale obtenue était limitée à 2.2 GHz, ce qui s'expliquait par plusieurs problèmes critiques :

- Une asymétrie significative au sein de l'oscillateur commandé en tension (VCO).
- Un positionnement sous-optimal des différents blocs constitutifs du circuit.
- Un nombre insuffisant de vias, entraînant une atténuation notable du signal.
- Une grille d'alimentation (power grid) insuffisamment dimensionnée, entraînant des chutes de tension locales importantes.

À la suite de l'implémentation physique initiale de chaque bloc, j'ai réalisé une extraction des paramètres parasites (*resistances et capacités parasites, capacités de couplage*) afin d'évaluer leur impact sur le comportement électrique des blocs. Les résultats obtenus après extraction ont été comparés rigoureusement avec ceux obtenus lors des simulations au niveau schématique initial. Ces comparaisons m'ont permis de mettre en évidence des déviations significatives dues aux parasites, m'obligeant à procéder à plusieurs itérations de ré-optimisation des layouts.

Au cours de ces optimisations, j'ai appliqué plusieurs techniques avancées de layout [2] visant principalement à réduire les sources de bruit et à garantir une bonne stabilité du circuit :

- **Protection des zones sensibles** : Une attention particulière a été portée aux zones critiques telles que les transistors d'entrée et de sortie des inverseurs dans le VCO. J'ai intégré des **ring guards**, parfois des **triple rings**, afin d'isoler le substrat (*bulk*) et les composants critiques des perturbations et du bruit couplé des pistes environnantes.

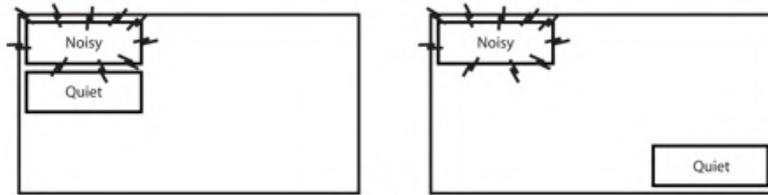


Figure 16 : Illustration de l'importance de l'isolation des zones bruitées des zones sensibles. [2]

- **Floorplanning avancé** : J'ai acquis des compétences importantes en **floorplanning**, en apprenant à anticiper et planifier efficacement l'organisation des blocs et des pistes. Cela inclut la planification minutieuse du positionnement des pins d'entrée/sortie pour minimiser les longueurs des interconnexions métalliques, réduisant ainsi l'atténuation du signal due aux résistances parasites des pistes longues.

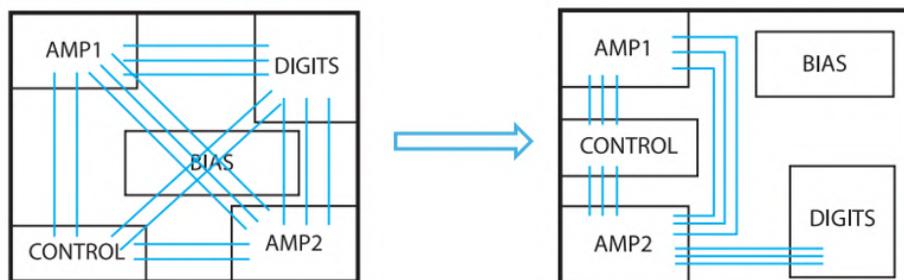


Figure 17 : Exemple de l'importance du floorplanning [2]

- **Gestion des densités de courant et réduction des résistances parasites** : Une attention toute particulière a été accordée à la **densité de courant** prévue dans chaque piste, ce qui a déterminé leur largeur optimale pour éviter toute chute de tension excessive et assurer une bonne intégrité des signaux. Les longueurs des pistes ont également été minimisées pour réduire les pertes causées par les résistances parasites.
- **Matching des transistors différentiels** : Une symétrie stricte a été imposée

aux paires différentielles de transistors, ainsi qu'aux inverseurs, afin d'assurer un **matching précis des courants**, indispensable pour le bon fonctionnement du circuit analogique (particulièrement la charge pump et le VCO).

- **Construction robuste du réseau d'alimentation (Power Grid)** : La réalisation d'un réseau d'alimentation fiable a été essentielle. Pour réduire la résistance des vias reliant les différents niveaux métalliques, j'ai systématiquement placé plusieurs vias en parallèle. En effet, cette approche permet de réduire significativement la résistance équivalente, car les résistances des vias en parallèle s'additionnent de manière inversement proportionnelle, minimisant ainsi les fluctuations et perturbations sur l'alimentation et améliorant la robustesse générale du circuit.

Ce travail méticuleux et itératif m'a permis d'obtenir des blocs dont les performances post-layout sont en parfaite adéquation avec les exigences initiales du cahier des charges. Le tableau ci-dessous ([tableau 7](#)) résume les améliorations significatives observées après l'application des techniques avancées de layout :

Paramètre évalué	Avant Optimisation	Après Optimisation
Fréquence maximale du VCO	2.40 GHz	2.58 GHz
Ripple tension $V_{ctrl}$	65 mV	40 mV
Jitter	13 ps	7 ps

**Tableau 7** : Résultats des améliorations apportées par l'optimisation du layout

### Synthèse : Implémentation Physique et Layout de la PLL

La prise en charge autonome de l'implémentation physique de la PLL a représenté une étape importante dans mon développement professionnel. J'ai réalisé le layout individuel des sous-blocs (**PFD, CP, Filtre, VCO, Diviseur**), effectué une extraction des paramètres parasites, et appliqué des techniques de layout avancées pour réduire le bruit et améliorer les performances du circuit (floorplanning, protection des transistors sensibles, symétrie et réduction des résistances parasites). Ces efforts ont permis une optimisation significative des performances, garantissant ainsi la conformité aux spécifications techniques de la PLL intégrée à PICMIC-1.

## 10. Conclusion Générale

Au terme de cette deuxième année d'alternance au sein de l'équipe de microélectronique de l'IP2I, j'ai significativement approfondi mes compétences techniques à travers ma participation active au projet PICMIC-1, visant le développement d'un ASIC performant pour la détection précise de particules.

Parmi mes principales réalisations, la migration réussie d'une PLL depuis la technologie TSMC 130 nm vers TowerJazz 180 nm constitue une avancée majeure. Ce processus exigeant a nécessité un travail bibliographique approfondi, une adaptation rigoureuse des composants, ainsi qu'un redimensionnement méthodique du filtre de boucle.

La prise en charge autonome de l'implémentation physique de cette PLL m'a permis d'appréhender concrètement les enjeux du layout analogique, mettant en évidence l'importance cruciale d'une compréhension détaillée du circuit et d'une communication efficace. Les itérations successives m'ont permis d'atteindre avec succès les spécifications exigées, avec notamment une fréquence finale stable à 2.56 GHz et un jitter maîtrisé.

Cette expérience m'a offert l'opportunité de consolider mes connaissances théoriques et pratiques, tout en développant une approche méthodique et collaborative indispensable dans le domaine complexe et interdisciplinaire de la microélectronique.

Ces compétences nouvellement acquises constituent une base solide pour la poursuite de mon parcours académique et professionnel, et ouvrent des perspectives prometteuses pour relever les futurs défis techniques et scientifiques.

---

## Bibliographie

- [1] R. Paschotta, “Microchannel plates.” RP Photonics Encyclopedia, 2025. Disponible en ligne : [https://www.rp-photonics.com/microchannel\\_plates.html](https://www.rp-photonics.com/microchannel_plates.html).
- [2] K. Bernstein, *Mask Layout Essentials*. IBM Microelectronics / MOSIS Educational Program, 2001. Educational resource on VLSI layout fundamentals.
- [3] R. Turchetta, “Cmos monolithic active pixel sensors (maps) for scientific applications,” in *Proceedings of the IEEE Nuclear Science Symposium and Medical Imaging Conference*, (CCLRC-RAL, Chilton, Didcot, OX11 0QX, United Kingdom), 2003.
- [4] E. Bechetoille, “PICMIC-0 : a 5  $\mu\text{m}$  pitch hexagonal pixel sensor with an original tri-axis readout,” *Journal of Instrumentation*, vol. 19, no. 05, p. C05015, 2024. Topical Workshop on Electronics for Particle Physics, Geremeas, Sardinia, Italy, 1–6 October 2023.
- [5] E. Bechetoille, “Picmic-1 : Evolution of picmic-0.” Presentation at CERN DRD WP4.2, October 2024. 2nd DRD4 Collaboration Meeting, WP2.
- [6] B. Razavi, *Design of CMOS Phase-Locked Loops : From Circuit Level to Architecture Level*. Cambridge, UK : Cambridge University Press, 2020.
- [7] M. Sié, *Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35  $\mu\text{m}$* . Thèse de doctorat, Université Paul Sabatier - Toulouse III, Juillet 2004. Thèse préparée au Laboratoire d’Analyse et d’Architecture des Systèmes du CNRS (LAAS-CNRS).

## 11. Annexes

## Laboratoires et infrastructures de l'IN2P3

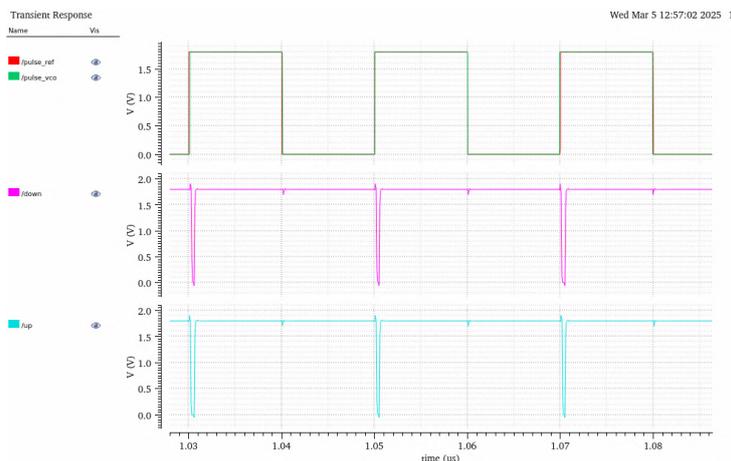
Laboratoire	Ville	Laboratoire	Ville
AICP	Prévessin	CPB	Berkeley
APC	Paris	CPPM	Marseille
ARRONAX	Nantes	DMLab	Hambourg
CC-IN2P3	Lyon	GANIL	Caen
IJCLab	Orsay	ILANCE	Tokyo
IPHC	Strasbourg	IP2I	Lyon
LAPP	Annecy	LPCA	Clermont-Fd
LLR	Palaiseau	LPC	Caen
LMA	Lyon	LPNHE	Paris
LNCA	Chooz	LPSC	Grenoble
LP2I	Bordeaux	L2IT	Toulouse
LSM	Modane	Musée Curie	Paris
LSPM	Toulon	NPA	East Lansing
LUPM	Montpellier	OMEGA	Palaiseau
PPC	Chicago	SUBATECH	Nantes
TYL	Tsukuba		

**Tableau 8** : Liste des laboratoires, infrastructures et plateformes nationales de l'IN2P3

## Validation complémentaire du PFD

### Cas : Synchronisation des deux horloges (phase alignée)

Lorsque l'horloge de référence et l'horloge du **VCO** sont parfaitement synchronisées, leurs fronts montants sont alignés. Dans ce cas, le **PFD** ne détecte aucune différence de phase, et les deux signaux de sortie **UP** et **DOWN** restent désactivés.

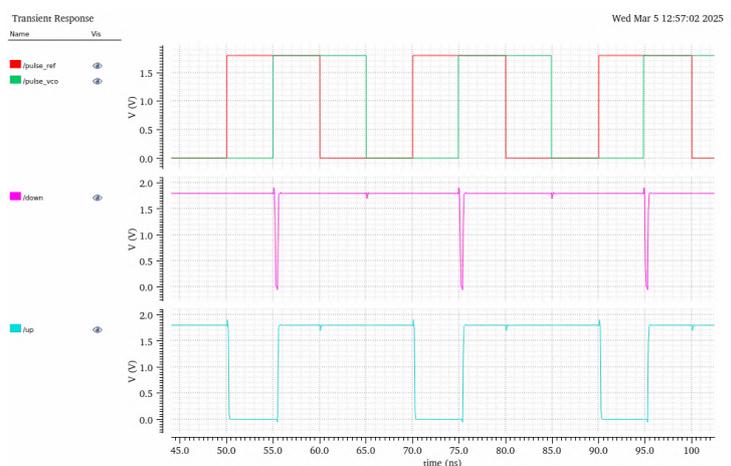


**Figure 18** : Résultat de simulation du PFD (Horloges synchronisées)

Comme l'illustre la figure 18, tant que les horloges sont en phase, les signaux **UP** et **DOWN** restent bas, confirmant que le **PFD** fonctionne correctement en absence d'erreur de phase.

### Cas : L'horloge du VCO est en avance sur l'horloge de référence

Dans ce cas, l'horloge du **VCO** est en avance par rapport à l'horloge de référence. Le signal **UP** est alors activé, indiquant que le **VCO** doit ralentir pour se synchroniser avec l'horloge de référence.



**Figure 19** : Résultat de simulation du PFD (VCO en avance sur l'horloge de référence)

Comme observé dans la figure 19, le signal **UP** est activé dès que la phase du **VCO** dépasse celle de l'horloge de référence, tandis que le signal **DOWN** reste désactivé.